

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年6月3日 (03.06.2004)

PCT

(10) 国際公開番号
WO 2004/047428 A1

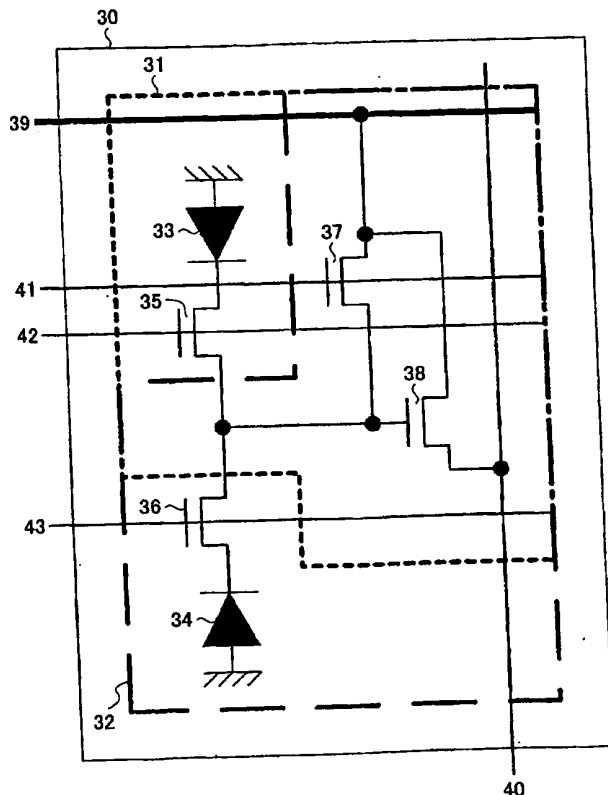
- (51) 国際特許分類⁷: H04N 5/335, 9/07
(21) 国際出願番号: PCT/JP2003/014718
(22) 国際出願日: 2003年11月19日 (19.11.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-336252
2002年11月20日 (20.11.2002) JP
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 阿部 高志

(ABE, Takashi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 中村 信男 (NAKAMURA, Nobuo) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 梅田 智之 (UMEDA, Tomoyuki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 馬淵 圭司 (MABUCHI, Keiji) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 藤田 博明 (FUJITA, Hiroaki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 船津 英一 (FUNATSU, Eiichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 佐藤 弘樹 (SATO, Hiroki) [JP/JP]; 〒240-0005 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).

[続葉有]

(54) Title: SOLID-STATE IMAGING APPARATUS

(54) 発明の名称: 固体撮像装置



(57) Abstract: A solid-state imaging apparatus wherein the size of pixels has been reduced by simplifying the pixel structure and wherein in a case of employing a plural-system-output structure, the variations between pixels can be suppressed. A unit cell (30) includes two pixels (31,32), which are constituted by two upper and lower photoelectric conversion elements (33,34), transfer transistors (35,36), respectively, a single reset transistor (37) and a single amplifying transistor (38). An allower signal line (39) is connected to the drains of the reset and amplifying transistors (37,38). This allower signal line (39) is controlled together with transfer signal wires (42,43) and a reset signal wire (41) so as to read signals, thereby realizing the simplification of pixel wires, the reduction of the pixel size and the like.

(57) 要約: 画素構成の簡素化によって画素の縮小を図ることができ、また複数系統の出力構成とした場合の画素間のばらつきを抑制できる固体撮像装置である。単位セル (30) は2つの画素 (31)、(32) を含み、上下2つの光電変換素子 (33)、(34) と、それぞれに転送トランジスタ (35)、(36) と、1つのリセットトランジスタ (37) と、1つの増幅トランジスタ (38) で2つの画素 (31)、(32) が構成されている。そして、全面信号線 (39) は、各リセットトランジスタ (37) と増幅トランジスタ (38) のドレインに接続されており、この全面信号線 (39) を転送信号配線 (42)、(43)、リセット信号配線 (41) とともに制御して、信号の読み出し動作を行うことにより、画素配線の簡素化、画素の縮小等を実現する。

WO 2004/047428 A1

BEST AVAILABLE COPY



(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都 港区 虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

固体撮像装置

5 技術分野

本発明は、2次元配列された複数の単位画素毎に光電変換素子と複数の画素トランジスタを設けたCMOSイメージセンサ等の固体撮像装置に関する。

10 背景技術

第8図は、従来のCMOSイメージセンサで用いられる画素構造の一例を示す回路図である。

図示の例において、各画素は、1つの光電変換素子1と、複数のトランジスタ2、3、4、6により構成されている。

- 15 光電変換素子1は、光を受け、信号電荷を蓄積するものであり、フォトダイオード等が用いられる。

また、トランジスタ2は信号電荷増幅用のトランジスタ(以下、増幅トランジスタ2と表す)であり、トランジスタ3は光電変換素子1に蓄積された信号電荷を増幅トランジスタ2のゲート電極部に転送するための転送トランジスタ(以下、転送トランジスタ3と表す)である。

- 20 また、トランジスタ4は増幅トランジスタ2のゲート電極電位をリセットするためのリセットトランジスタ(以下、リセットトランジスタ4と表す)である。

- 25 また、信号線5は電源電位供給線(以下、電源電位供給線5と表す)であり、リセットトランジスタ4と増幅トランジスタ2のドレインは共に電源電位供給線5に接続されている。

また、トランジスタ 6 は出力画素を選択するための選択トランジスタ (以下、選択トランジスタ 6 と表す) であり、信号線 7 は画素信号を出力するための画素出力線 (以下、画素出力線 7 と表す) である。

5 また、画素外のトランジスタ 8 は画素出力線に定電流を供給するためのトランジスタ (以下、定電流供給トランジスタ 8 と表す) であり、選択された画素の増幅トランジスタ 2 に定電流を供給し、増幅トランジスタ 2 をソースフォロアとして動作させ、増幅トランジスタ 2 のゲート電位とある一定の電圧差を持つ電位が画素出力線 7 に表れるようになっている。

10 また、信号線 9 は転送トランジスタ 3 のゲート電位を制御するための転送信号配線 (以下、転送信号配線 9 と表す) である。信号線 10 はリセットトランジスタ 4 のゲート電位を制御するためのリセット信号配線 (以下、リセット信号配線 10 と表す) である。信号線 11 は選択トランジスタ 6 のゲート電位を制御するための選択信号線 (以下、選択信号線 11 と表す) である。信号線 12 は定電流供給トランジスタ 8 がある一定の電流を供給するような飽和領域動作をするよう、ゲートに一定の電位を供給するための定電位供給線 (以下、定電位供給線 12 と表す) である。

20 また、端子 13 は各行の転送信号配線 9 に転送パルスを提供するパルス端子であり、行選択用 AND 素子 14 の一方の入力端に接続されている。また、行選択用 AND 素子 14 のもう一方の入力端には、垂直選択手段 15 からの出力が接続されており、行選択用 AND 素子 14 の出力端は転送信号配線 9 に接続されている。

25 端子 16 は各行のリセット信号配線 10 にリセットパルスを提供するためのパルス端子で、行選択用 AND 素子 17 の一方の入力端に接続されている。行選択用 AND 素子 17 のもう一方の入力端には、垂直選択

手段 15 からの出力が接続されており、行選択用 AND 素子 17 の出力端はリセット信号配線 10 に接続されている。

- 端子 18 は各行の選択信号線 11 に選択パルスを供給するためのパルス端子であり、行選択用 AND 素子 19 の入力端に接続されている。行
- 5 選択用 AND 素子 19 のもう一方の入力端には、垂直選択手段 15 からの出力が接続されており、行選択用 AND 素子 19 の出力端は選択信号線 11 に接続されている。

このような構成により、垂直選択手段 15 によって選択された行の各信号配線にのみ各制御パルスが供給される。

- 10 各画素からの読み出し動作は、第 9 図に示すような駆動信号を加えて、以下のようにして行う。

なお、第 9 図における選択信号は第 8 図の選択信号線 11 に与える信号を表し、リセット信号はリセット信号配線 10 に与える信号を表し、転送信号は転送信号配線 9 に与える信号を表している。

- 15 まず、読み出しを行う画素行の選択トランジスタ 6 と、リセットトランジスタ 4 を導通状態にして増幅トランジスタ 2 のゲート電極部をリセットする。リセットトランジスタ 4 を非導通にした後、各画素のリセットレベルに対応した電圧を後段の CDS（相関二重サンプリング）回路 20 に読み出しておく。

- 20 次に、転送トランジスタ 3 を導通状態にし、光電変換素子 1 に蓄積された電荷を増幅トランジスタ 2 のゲート電極部に転送する。転送終了後、転送トランジスタ 3 を非導通状態にした後、蓄積されていた電荷量に応じた信号レベルの電圧を後段の CDS 回路 20 に読み出す。

- CDS 回路 20 では、先に読み出しておいたリセットレベルと信号レ
- 25 ベルの差を取り、画素毎の読み出しトランジスタの閾値 (V_{th}) バラツキ等により発生する固定的なパターンノイズをキャンセルする。

CDS回路20に蓄積された信号は列選択手段21によって選択されると、水平信号線22を通過してAGC等の後段の回路へ読み出されて処理される。

5 以上のように、CMOSイメージセンサでは、1画素中には光電変換素子の他に、光電変換素子に蓄積された電荷を読み出すための各種のトランジスタと制御信号配線を設けることが必要とされる。

そのため、単純な画素構造を持つCCDイメージセンサに比べ、画素縮小化が困難であった。

そこで、これまでは画素回路の駆動法を変えることにより、例えば第
10 11図に示すように、選択トランジスタをなくし、画素構成を単純化するようなものが提案されている（例えば、特開2002-077731号公報参照）。

あるいは、例えば第12図に示すように、複数の光電変換素子からの読み出しに1つの増幅トランジスタを共用するようなものが提案されて
15 いる（例えば、国際公開WO97/07630号公報参照）。

すなわち、第12図に示す画素は、隣接する画素の2つの光電変換素子1の出力を転送トランジスタ3を介して1つの増幅トランジスタ2のゲート電極部に接続したものであり、転送トランジスタ3及びリセットトランジスタ4の順次制御によって2つの画素信号を増幅トランジスタ
20 2より出力する。

なお、増幅トランジスタ2のゲート電極部には容量23が接続され、容量キック用配線24によってキックパルスが供給され、ゲート電極部における電位が制御できる構成となっている。

上述した第12図に示す従来技術では、増幅トランジスタを共有化することにより、1画素中の素子数が減り、画素サイズの縮小化を図ることは可能であるが、第8図や第11図に示した単位セル（単位セル中に
25

含まれる画素数が1つのもの)では、画素アレイ中の全ての画素が同一の形状であったのに対し、第12図に示すような単位セル(増幅トランジスタを共有化した画素の組)を並べて構成した画素アレイは、2種類の画素で構成されることになる。

- 5 したがって、2種類の画素間で素子形状が異なるため、両者の間で感度、飽和等の特性に差異が生じる。

例えばRGBのペイヤ方式で色コーディングした際に、同じGでコーディングされた画素でも、行により画素特性が異なってしまうため、一枚の画として見ると横縞が発生するという問題が考えられる。

- 10 この問題は、第12図に示す単位セルのみの問題ではなく、トランジスタ数や構成によらず、画素間でのトランジスタの共有化に伴う問題である。

- 第12図では下側の画素内のみに容量23が形成されるため、例えば容量23による入射光のけられが生じたり、容量23が形成される分、
15 受光面積が狭くなり入射光量が減ったりし、下側の画素の方が上側の画素より感度が低下する。

- 又、2種類の画素では、光電変換された電荷を読み出す転送トランジスタの配置が異なり、電荷を読み出す方向も異なる。電荷の読み出し方向を決める転送トランジスタの配置の違いによって2画素間で感度に違いが生じる。原因としては、例えば、転送トランジスタのポテンシャルが受光部のポテンシャルに与える影響が異なる位置に現れるため、同一
20 方向から入射する光の光電変換効率や、電荷蓄積量が異なってしまうということが考えられる。

- また、従来の読み出し方式では、例えば各画素からCDS回路に取り
25 出された信号出力が1つの出力系統(水平信号線、AGC、ADC等)

で処理されてディジタル信号に変換され、その後、このディジタル信号を内部回路及び外部回路で処理して取り出すようになっていた。

しかし、近年では、より高速でサンプリングを行えるような固体撮像素子が求められているため、第13図に示すように、各画素からCDS回路に読み出された信号出力を2つの出力系統に分けて処理する手法が考えられている。

すなわち、第13図は、CMOSイメージセンサの全体構成例を示しており、上述した画素アレイよりなるセンサ部111と、垂直駆動回路112と、シャッタ駆動回路113と、CDS回路114と、水平駆動回路115と、タイミングジェネレータ116と、AGC回路117A、117B、ADC回路118A、118B等を有し、2系統の水平信号線119A、119B、AGC回路117A、117B、ADC回路118A、118Bによって信号を出力する構成となっている。

このように出力系統を2つに分けることにより、水平信号線1本にかかる負荷が半分になり、従来の1出力系統のものに対し、倍の速度で読み出しを行うことが可能になる。

しかし、2つの出力系統内の各素子の特性を全く同一にすることは、プロセス上不可能である。すなわち、出力系統にはAGC、ADC等のアナログ回路が含まれており、そのゲイン、ノイズ特性等が異なることから、全く同じ信号を入力したとしても、信号処理後の信号は微妙に異なることになる。

特に、ここで問題にしている固体撮像素子では、画素からの信号として、数[mV]～0.数[mV]レベルの微小なアナログ信号を取り扱うため、出力系統間の特性の違いは非常に大きな問題となる。

例えば、第14図は、ベイヤ方式での色フィルタを施した撮像素子からの読み出し信号を2出力系統で行った様子を示す説明図である。

図示のようにベイヤ配列では、R画素とG_r画素とを交互に配置したRG行と、G_b画素とB画素とを交互に配置したGB行とが隣接して配置されている。

そして、第14図に示すRG行（第n行目）からの読み出しは、R画素が出力系Aを経由して読み出され、G_r画素からは出力系Bを経由して読み出される。

また、第14図に示す次のGB行（第n+1行目）からの読み出しは、G_b画素からの信号は出力系Aを、B画素からは出力系Bを経由して行われる。

つまり、R画素とG_b画素からの信号は出力系Aを介して読み出され、B画素とG_r画素からの信号は出力系Bを介して読み出される。

そして、このようなR、G、Bそれぞれの画素からの信号は、後段で色のバランスを整えるような信号処理を色別に加えられるため、それぞれ出力系統による微小な差が加わっていても、それ程問題とはならない。

しかし、同じG画素として扱われるG_r、G_bが違う出力系統で処理されることにより微小な差を持つと、行方向に周期的な信号の差が生じるため、一枚の画で見た際に横筋となって見える恐れがある。

そこで本発明の目的は、画素構成の簡素化によって画素の縮小を図ることができ、また複数系統の出力構成とした場合の画素間のばらつきを抑制できる固体撮像装置を提供することにある。

発明の開示

本発明は前記目的を達成するため、所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域部と、前記各画素を選択するための信号配線とを有し、前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、

各光電変換素子から読み出された信号量を増幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、前記増幅手段を駆動する信号配線は全面素共通に配線される全面信号線よりなり、前記全面信号線を駆動することにより

5 各画素からの信号を読み出すことを特徴とする。

また本発明は、前記単位セルを前記撮像領域部の各画素列毎に1画素分または1画素未満分ずつ列方向にずらして配置したことを特徴とする。

さらに本発明は、所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域部と、前記各画素
10 を選択するための信号配線とを有し、前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、各光電変換素子から読み出された信号量を増幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、前記単位セルの各光電変換素子が斜め方向に隣接して配置さ
15 れていることを特徴とする。

本発明の固体撮像装置では、画素間トランジスタの共有化、全面信号線の使用により、1画素あたりのトランジスタ数、信号配線数を減らすことができ、画素サイズの縮小化が可能になる。

また、画素間トランジスタ共有化での懸念点である、異なる形状の画素間の特性差や2出力系統間でのゲイン差に対しても、単位セルの配置
20 や斜め2画素間の共有等の工夫によって、画素間、特にGでフィルタリングされた画素からの信号の特性差を抑えることができる。

図面の簡単な説明

25 第1図は、本発明の第1実施例による画素構造を示す回路図である。

第 2 図は、第 1 図に示す画素構造を適用した固体撮像装置の構成を示す回路図である。

第 3 A 図乃至第 3 D 図は、第 1 図に示す画素構造において画素から信号の読み出しを行う際の各駆動信号の様子を示すタイミングチャートである。

第 4 図は、本発明の第 2 実施例による固体撮像装置の構成を示す回路図である。

第 5 図は、本発明の第 3 実施例による画素構造を示す回路図である。

第 6 A 図乃至第 6 B 図は、第 5 図に示す画素構造で 1 系統の出力部に信号を読み出す場合の動作例を示す説明図である。

第 7 図は、第 5 図に示す画素構造で 2 系統の出力部に信号を読み出す場合の動作例を示す説明図である。

第 8 図は、従来の第 1 の画素構造を有する固体撮像装置の構成を示す回路図である。

第 9 図は、第 8 図に示す画素構造における駆動例を示すタイミングチャートである。

第 10 図は、モジュールタイプの固体撮像装置を示した図である。

第 11 図は、従来の第 2 の画素構造を示す回路図である。

第 12 図は、従来の第 3 の画素構造を示す回路図である。

第 13 図は、従来の 2 系統出力を有する固体撮像装置の構成を示す回路図である。

第 14 図は、第 13 図に示す固体撮像装置における信号読み出し動作を示す説明図である。

25. 発明を実施するための最良の形態

以下、本発明による固体撮像装置の実施の形態例について説明する。

本実施の形態例による固体撮像装置は、CMOSイメージセンサ等のように、各画素毎に光電変換素子と複数のトランジスタとを設け、複数の画素の2次元配列によって画素アレイを構成するとともに、各画素を駆動するための複数の信号配線を配置した構成において、画素間でトランジスタを共有し、さらに、全面信号線を用いて単位セル（すなわち、トランジスタを共有した画素の組み）を構成することにより、1つの画素当たりの素子数、制御配線数を減らすことができ、画素の縮小化を図るようにしたものである。

また、このような画素間トランジスタ共有型の単位セルの並べ方を変え、同色でフィルタリングされた画素に同形状の画素を用いることにより、同色でフィルタリングされた画素の特性を揃えるようにしたものである。

さらに、斜めに隣接する画素で画素間トランジスタ共有化を行うことにより、出力系統を2つに分割した際にも、同色でフィルタリングされた画素からの読み出しを同一の出力系統で行えるようにしたものである。

以下、本発明の具体的な実施例を図面を用いて説明する。

（第1実施例）

第1図は本発明の第1実施例である上下2つの画素でトランジスタを共有する場合の画素構造を示す回路図である。

本例において、単位セル30は実線で囲まれた部分であり、この単位セル30は2つの画素31（間隔の細かい点線で囲まれた部分）、32（間隔の大きい破線で囲まれた部分）から構成されている。

この単位セル30では、上下2つの光電変換素子33、34と、それぞれに転送トランジスタ35、36と、1つのリセットトランジスタ37と、1つの増幅トランジスタ38で2つの画素が構成されている。

信号線 3 9 は、全面信号線（以下、全面信号線 3 9 と表す）であり、各リセットトランジスタ 3 7 と増幅トランジスタ 3 8 のドレインに接続されている。

- 5 信号線 4 0 は、画素出力線（以下、画素出力線 4 0 と表す）であり、信号線 4 1 はリセットトランジスタ 3 7 のゲート電位を制御するためのリセット信号配線（以下、リセット信号配線 4 1 と表す）である。

- 信号線 4 2 は、転送トランジスタ 3 5 のゲート電位を制御するための転送信号配線（以下、転送信号配線 4 2 と表す）である。信号線 4 3 は、転送トランジスタ 3 6 を制御するための転送信号配線（以下、転送定信号配線 4 3 と表す）である。
- 10

第 2 図は第 1 図に示す画素構造を設けた固体撮像装置の 2 次元画素アレイの全体構成を示す回路図である。

固体撮像装置の受光面（2 次元画素ブロック）は、この 2 画素を単位セルとして、これを 2 次元的に配列して構成している。

- 15 定電流供給トランジスタ 8 は、画素出力線に定電流を供給するためのトランジスタであり、選択された画素の増幅トランジスタ 3 8 に定電流を供給してソースフォロアとして動作させ、増幅トランジスタ 3 8 のゲート電位に対し、ある一定の電圧差を持つ電位が画素出力線 4 0 に表れるようになっている。

- 20 端子 4 4 は、各行の転送信号配線 4 2、4 3 に転送パルスを供給するパルス端子であり、行選択用 AND 素子 4 5、4 6 の一方の入力端に接続され、行選択用 AND 素子 4 5、4 6 のもう一方の入力端は垂直選択手段 1 5 からの出力に接続されている。また、行選択用 AND 素子 4 5、4 6 の出力端は転送信号配線 4 2、4 3 に接続されている。

- 25 端子 4 7 は、各行のリセット信号配線 4 1 にリセットパルスを供給するためのパルス端子であり、行選択用 AND 素子 4 8 の一方の入力端に

接続され、行選択用AND素子48の出力端はリセット信号配線41に接続される。また、行選択用AND素子48のもう一方の入力端には、OR回路49の出力が接続されている。

OR回路49の入力には、上下2つの画素が存在する2行の垂直選択
5 信号線15A、15Bがそれぞれ接続されており、2行分の信号を重ね合わせた波形が出力される。

すなわち、垂直選択手段15によって選択された行のみ、各信号パルスが入力される構造になっている。リセットトランジスタ37のゲートには、光電変換素子33、34の行の画素からの読み出しの際にパルス
10 端子47からの信号が加えられる。なお、上記の信号配線に加え、全面信号線39も駆動することにより、読み出し動作を行う。

第3A図乃至第3D図は本例の画素構造において画素から信号の読み出しを行う際の各駆動信号の様子を示すタイミングチャートである。

第3A図乃至第3D図に示す信号は、それぞれ読み出しを行う行に加
15 える信号であり、全面選択信号は第2図の全面信号線39に、リセット信号はリセット信号配線41に、転送信号は転送信号配線42、43に加えられる信号である。

まず、第3A図を例に、読み出し動作について述べる。

初期状態ではリセット信号、転送信号が共にLow（ノンアクティ
20 プ）、全面選択信号はHigh（アクティブ）にセットされている。

次に、リセット信号がHighに遷移すると各画素の増幅トランジスタ38のゲート部の電位が全面選択信号のHighにリセットされる。ここで、リセット信号をLowに遷移させた後、リセットレベルに応じた電位が画素出力線に読み出され、その電圧値をCDS回路に蓄積する。

25 次に、転送信号をHighに遷移させ、各光電変換素子内に蓄積された電荷を増幅トランジスタ38のゲート部に転送する。そして、転送終

了後、転送信号をLowに遷移させ、各光電変換素子に蓄積された電荷数に応じた電位を画素出力線経由でCDS回路へと読み出し、CDS回路でリセットレベルと信号レベルの差を取る。

次に、一連の読み出し動作終了後、全面選択信号をLowに、リセット信号をHighに遷移させて、増幅トランジスタ38の入力部をリセットする。

なお、リセットトランジスタにディプレッション型のトランジスタを用いると、増幅トランジスタの入力部のリセットを、全面選択信号をLowにするだけで行えるため、第3B図に示す様な波形で駆動できる。

10 また、第3C図乃至第3D図は、第3A図乃至第3B図を変更したもので、全面選択信号を、読み出し動作時にのみHighにセットするものである。

以上のような構成により、画素構造を従来に比べて簡素化することが可能である。

15 すなわち、第11図に示した従来例の構成では、1画素あたりのトランジスタ数が3つであったのに対し、この画素構成では2つであり、信号配線数も2本から1.5本に減少している（すなわち、全面信号線は遮光膜と兼用している。すなわち、全面信号線は、一般的に良く知られている固体撮像装置の遮光膜のように、受光面に応じた開口を各画素毎
20 に有している）。

従来技術では容量が所定の画素に偏って形成されていたため、容量が形成された画素とそうでない画素とで、感度や飽和信号量が異なっていたが、本実施例の構成では、全面信号線を用いて増幅トランジスタの入力部のリセットレベルを制御して画外に読み出すため容量を形成する必要がなくなり、この問題が解消される。

25

また、第 1 2 図に示した従来例の構成と比べると、寄生容量以外の容量が無くなり、1 画素あたりの信号配線数も 2 本から 1. 5 本に減少して、更なる画素縮小化が望める。

(第 2 実施例)

- 5 上述した第 1 2 図に示した従来例や第 1 実施例 (第 1 図) の構成例のように、2 つの光電変換素子で増幅、リセットトランジスタ等を共有させる手法は、1 画素あたりのトランジスタ数、信号配線数を減らせることができ、画素サイズの縮小化の面で有益である。しかし、従来技術の課題で説明したように、上下の各光電変換素子、転送ゲートを全く同じ
- 10 形状、特性にすることは非常に困難である。そのため、単位セルを 2 次元アレイ状に並べて、ペイヤ方式の色フィルタを施した際に、2 つの G フィルタが斜めに位置するために、R G 行の G と G B 行の G とで画素特性が異なることになる。

- そこで、本実施例では、第 1 図に示した単位セルを第 4 図に示すように、列毎に上下に 1 画素分ずつずらして配置する。なお、第 4 図において、単位セルの配置が変化し、各制御配線の接続先が各行毎に異なる点以外は第 2 図に示す構成と共通であるので、共通の構成要素については同一符号を付して個々の説明は省略する。
- 15

- このような配置にすることにより、1 画素あたりの信号配線数は 1. 5 本から 2 本に増えることになる。しかし、その代わりに、R 行の G と B 行の G に同じ形状の画素を使用するため、第 1 実施例のようなケースで予想される行間の G 画素特性差を防止することができる。
- 20

- より具体的には、例えば画素に含まれる転送トランジスタが、R 行の G と B 行の G とに対応する画素において、光電変換部からの電荷の読み出しが同一方向となるように配置されているため、光電変換部のポテンシャルに対して転送トランジスタの不純物領域のポテンシャルが与える
- 25

影響が、光電変換部の略同じ位置に現れるため、光電変換部の感度や飽和信号量のばらつきが生じなくなる。

なお、第4図に示す例では、2つの画素でトランジスタを共有し、列毎に単位セルを上下に1画素分ずらした場合を示しているが、画素数や
5 単位セルのずれ量を変えても同様に適用が可能である。

(第3実施例)

第5図は本発明の第3実施例による画素構造を示す回路図であり、斜めに隣接する2つの光電変換素子で、リセットトランジスタ、増幅トランジスタ、リセット信号配線、全面信号線を共有した例を示している。

10 なお、第5図の構成は、第1図に示すものと共通の構成要素を有し、配置だけを変化させたものであるので、共通の構成要素については同一符号を付して個々の説明は省略する。

このような単位セルを配列した受光部にベイヤ方式の色フィルタを用いると、その信号は第6B図に示すような順番で出力される。

15 ここで、通常の画素構成では第6A図の様に出力されるため、通常の信号処理、出力形式に合わせるには、第6B図の信号を奇数、あるいは偶数行で、1画素分ずつ、ずらすような処理が必要になる。

また、従来例で説明したように、通常は、各画素からの信号は、行単位でCDS回路に読み出され、その後、列選択手段により選択された列
20 の信号が水平信号線を通り、後段のAGC等で処理されて外部へと取り出されていく。

そして、第13図で述べたように、従来は1系統であったこの出力系統を複数に分け、各画素からの出力を並列で外部に読み出すことにより、より高速で画像をサンプリングすることが可能になる。

25 しかし、出力系を複数に分けると、回路面積の増大と共に、出力系統間のばらつきが問題となってくる。特に、ベイヤ方式でカラーコーディ

ングした際に、R G 行の G と G B 行の G が、処理系の違いによってゲイン差を持つと横筋となって表れる恐れがある。具体的には、第 14 図で説明した通りである。

これに対し、本発明の第 3 実施例では、第 5 図に示すように、斜め 2 画素でリセット、増幅トランジスタ、リセット信号配線、全面信号線を共有した場合を考えると、第 7 図に示すように、R 同士が同じ画素出力線から出力されるため、G 画素からの出力を同じ出力系統で処理することができ、各行の G を同じ出力系統で取り出しつつ、従来の 1 出力系統方式に対し、倍の早さでサンプリングすることが可能になる。

10 なお、この第 3 実施例は、2 つの画素でトランジスタを共有した場合の一例であるが、共有する画素数、また、各画素が 1 画素分未満ずれて配置されていた場合等にも適用可能であり、もちろん、第 8 図や第 12 図に示した画素構造、あるいはその他の画素構造に対しても適用可能な手法である。

15 また、本発明の固体撮像装置は上述した構成以外の構成を含んでいてもよく、例えば第 10 図のように、光学系や、信号処理チップと組み合わせられたカメラモジュールタイプの固体撮像装置であってもよい。

20 なお、画素の 2 次元配列の行と列、垂直方向と水平方向の区別は実質的に無く、例えば、画素が略直行する 2 方向に配列されていれば、固体撮像装置を見る方向によって、画素行は画素列でもあり、またその逆も同様である。

以上のような本発明の各実施例によれば、以下のような効果を得ることができる。

（第 1 実施例）

画素間でトランジスタを共有化し、さらに信号線に全面駆動配線を用いることにより、1画素あたりのトランジスタ数、信号配線数を大幅に減らすことができ、さらなる画素サイズの縮小が望める。

(第2実施例)

- 5 さらに、画素間でトランジスタの共有化を行った場合の懸念点、つまり、形状の異なる画素を用いることによって発生する同色でフィルタリングされた画素間での特性差に関して、単位セルの配置の仕方を変えることにより、同色でフィルタリングされた画素に全て同形状の画素を用いることで解決できる。
- 10 なお、具体的には、ベイヤ方式でフィルタリングされた撮像面に対し、列方向に並ぶ2画素でトランジスタを共有するタイプの単位セルを列毎に1画素分ずつ上下にずらしたものについて説明したが、もちろん、単位セルの配置の仕方を工夫することにより、同色でフィルタリングされる画素に同形状のものをを用いるという手法自体は他のカラーフィルタリ
- 15 ング、画素構造においても適用可能な手法である。また、構造によっては、単位セルの配置の仕方をちょうど1画素分きっちりではなく、1画素未満ずらす方が適当な場合も考えられる。

(第3実施例)

- 20 ベイヤ方式でフィルタリングされた撮像面内の各画素から出力系統を2つに分けて読み出す場合、通常の画素構成では、同色でフィルタリングされた画素間(RG行のG画素とGB行のG画素)で出力系統が分かれてしまうため、出力系統間のばらつきによる影響を受け、横筋の発生する可能性があり、画素間トランジスタ共有化を上下の2画素で行った場合も同様であるが、本実施例では、画素間トランジスタ共有化を斜め
- 25 の2画素で行うことにより、Gr、Gb画素からの出力を同一の出力系統で読み出すことができる。そのため、出力系統間でプロセス上のばら

つきが発生しても、その影響を受けずに、1つの出力系統で読み出す場合に対して、倍の速度でサンプリングすることが可能になる。

- 以上説明したように本発明の固体撮像装置では、画素間トランジスタの共有化、全面信号線の使用により、1画素あたりのトランジスタ数、
- 5 信号配線数を減らすことができ、画素サイズの縮小化が可能になる。

また、画素間トランジスタ共有化での懸念点である、異なる形状の画素間の特性差や2出力系統間でのゲイン差に対しても、単位セルの配置や斜め2画素間の共有等の工夫によって、画素間、特にGでフィルタリングされた画素からの信号の特性差を抑えることができる。

請求の範囲

1. 所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域部と、前記各画素を選択するための信号配線とを有し、
5 前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、各光電変換素子から読み出された信号量を増幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、
10 前記増幅手段を駆動する信号配線は全画素共通に配線される全面信号線よりなり、前記全面信号線を駆動することにより各画素からの信号を読み出す、
ことを特徴とする固体撮像装置。
2. 前記増幅手段の入力部をリセットするリセット手段を有することを特徴とする請求の範囲第1項記載の固体撮像装置。
15
3. 前記リセット手段を駆動する信号配線は前記全面信号線よりなり、前記全面信号線を駆動することにより各増幅手段の入力部をリセットすることを特徴とする請求の範囲第2項記載の固体撮像装置。
4. 前記単位セルを前記撮像領域部の各画素列毎に1画素分または1
20 画素未満分ずつ列方向にずらして配置したことを特徴とする請求の範囲第1項記載の固体撮像装置。
5. 前記リセット手段と増幅手段を駆動する前記全面信号線の全面選択信号が前記画素の読み出し動作期間外にアクティブからノンアクティブに遷移することを特徴とする請求の範囲第2項記載の固体撮像装置。
- 25 6. 前記リセット手段がトランジスタよりなり、前記画素の読み出し期間中に前記全面信号線の全面選択信号がアクティブに遷移され、前記

リセット手段のゲートに入力されるリセット信号がノンアクティブに遷移され、前記転送手段への駆動信号がアクティブに遷移され、光電変換素子に蓄積された電荷信号の読み出しを行うことを特徴とする請求の範囲第 2 項記載の固体撮像装置。

- 5 7. 所定数の画素を 1 組みとして構成される複数の単位セルを 2 次元アレイ状に配置して構成される撮像領域部と、前記各画素を選択するための信号配線とを有し、

前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、各光電変換素子から読み出された信号量を増幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、

10 前記単位セルの各光電変換素子が斜め方向に隣接して配置されていることを特徴とする固体撮像装置。

8. 前記斜め方向に隣接する各光電変換素子が、水平方向または垂直方向に 1 画素未満分ずれて配置されていることを特徴とする請求の範囲第 7 項記載の固体撮像装置。

9. 前記増幅手段を駆動する信号配線は全面素共通に配線される全面信号線よりなり、前記全面信号線を駆動することにより各画素からの信号を読み出すことを特徴とする請求の範囲第 7 項記載の固体撮像装置。

- 20 10. 前記増幅手段の入力部をリセットするリセット手段を有することを特徴とする請求の範囲第 9 項記載の固体撮像装置。

11. 前記リセット手段を駆動する信号配線は前記全面信号線よりなり、前記全面信号線を駆動することにより各増幅手段の入力部をリセットすることを特徴とする請求の範囲第 10 項記載の固体撮像装置。

- 25 12. 前記撮像領域部の各画素からの出力信号を 2 つの出力系統に分けて読み出すことを特徴とする請求の範囲第 7 項記載の固体撮像装置。

13. 前記撮像領域部にRGBのペイヤ方式によるカラーフィルタが設けられ、Gでフィルタリングされた各画素からの読み出しを同一の出力系統を介して行うようにしたことを特徴とする請求の範囲第12項記載の固体撮像装置。

- 5 14. 前記リセット手段と増幅手段を駆動する前記全面信号線の全面選択信号が前記画素の読み出し動作期間外にアクティブからノンアクティブに遷移することを特徴とする請求の範囲第10項記載の固体撮像装置。

- 10 15. 前記リセット手段がトランジスタよりなり、前記画素の読み出し期間中に前記全面信号線の全面選択信号がアクティブに遷移され、前記リセット手段のゲートに入力されるリセット信号がノンアクティブに遷移され、前記転送手段への駆動信号がアクティブに遷移され、光電変換素子に蓄積された電荷信号の読み出しを行うことを特徴とする請求の範囲第10項記載の固体撮像装置。

- 15 16. 所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域を有し、

- 20 前記単位セルは、前記画素に含まれる光電変換部から読み出された電荷を増幅する増幅トランジスタと、前記増幅トランジスタの入力部をリセットするリセットトランジスタと、前記リセットトランジスタに接続され、前記増幅トランジスタのリセットレベルを可変にする信号線とを有し、

前記単位セルに含まれる少なくとも2つの画素は前記増幅トランジスタを共有し、

前記信号線は全画素共通に形成されている固体撮像装置。

- 25 17. 前記撮像領域の画素列ごとに配された出力信号線を有し、

前記画素上にベイア配列されたカラーフィルタの各色のフィルタが配置され、

隣接する赤色フィルタと青色フィルタとが配置された 2 画素は 1 本の前記出力信号線を共有し、

- 5 隣接する 2 つの緑色フィルタが配置された 2 画素は 1 本の前記出力信号線を共有する請求の範囲第 16 項記載の固体撮像装置。

18. 複数の前記出力信号線に応じて形成された少なくとも 2 本の水平出力信号線を有し、

- 10 前記カラーフィルタの緑色フィルタに対応する全ての画素からの信号を同一の前記水平出力信号線に読み出す請求の範囲第 17 項記載の固体撮像装置。

19. 前記画素上にカラーフィルタが配置され、

前記画素は前記光電変換部から電荷を読み出す転送トランジスタを有し、

- 15 前記カラーフィルタの緑色フィルタに対応する全ての画素は前記転送トランジスタによって同一方向に電荷を読み出す請求の範囲第 16 項記載の固体撮像装置。

20. 前記信号線は前記光電変換部に応じた開口を有し遮光層としての機能を有する請求の範囲第 16 項記載の固体撮像装置。

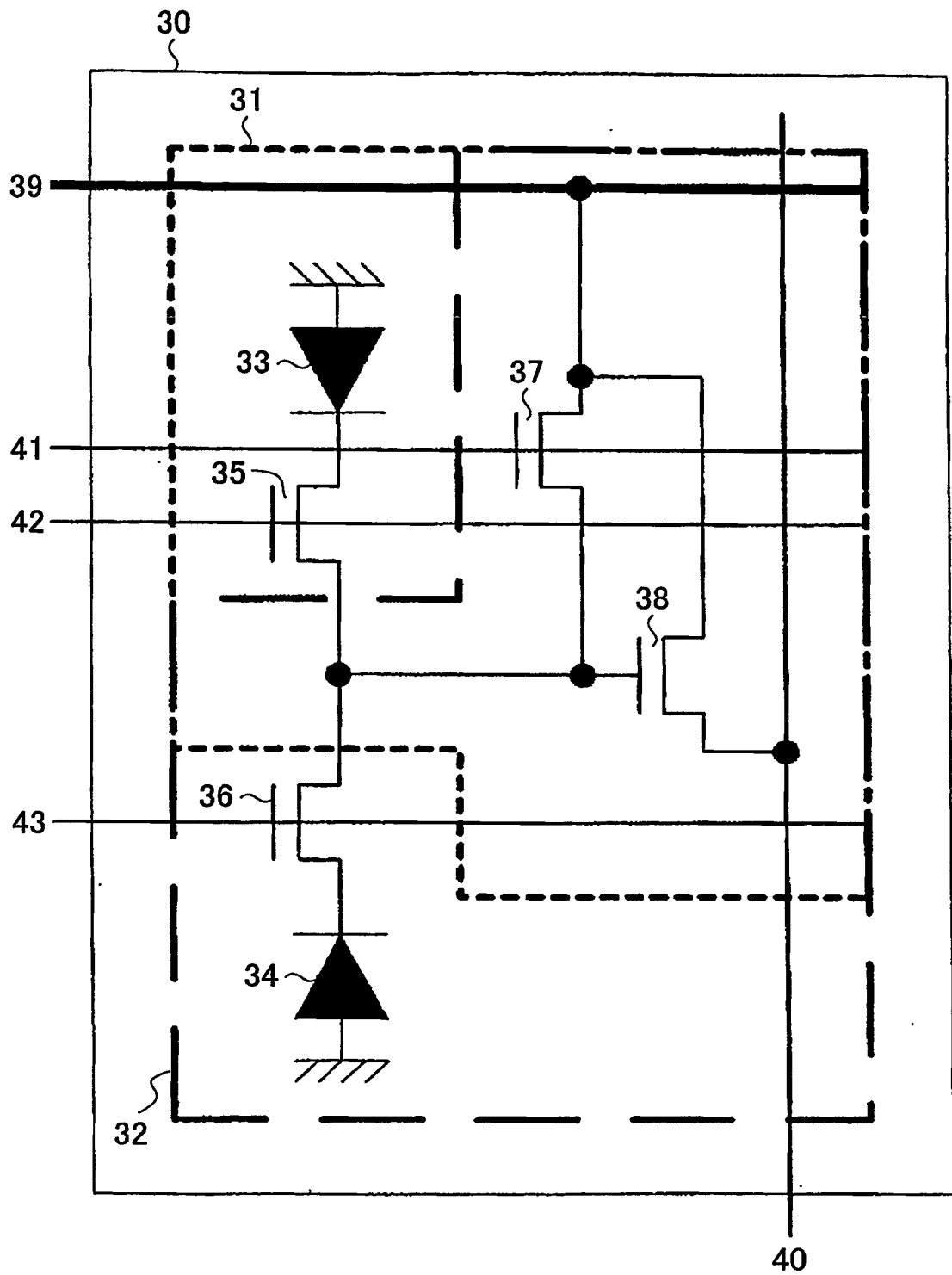


Fig.1

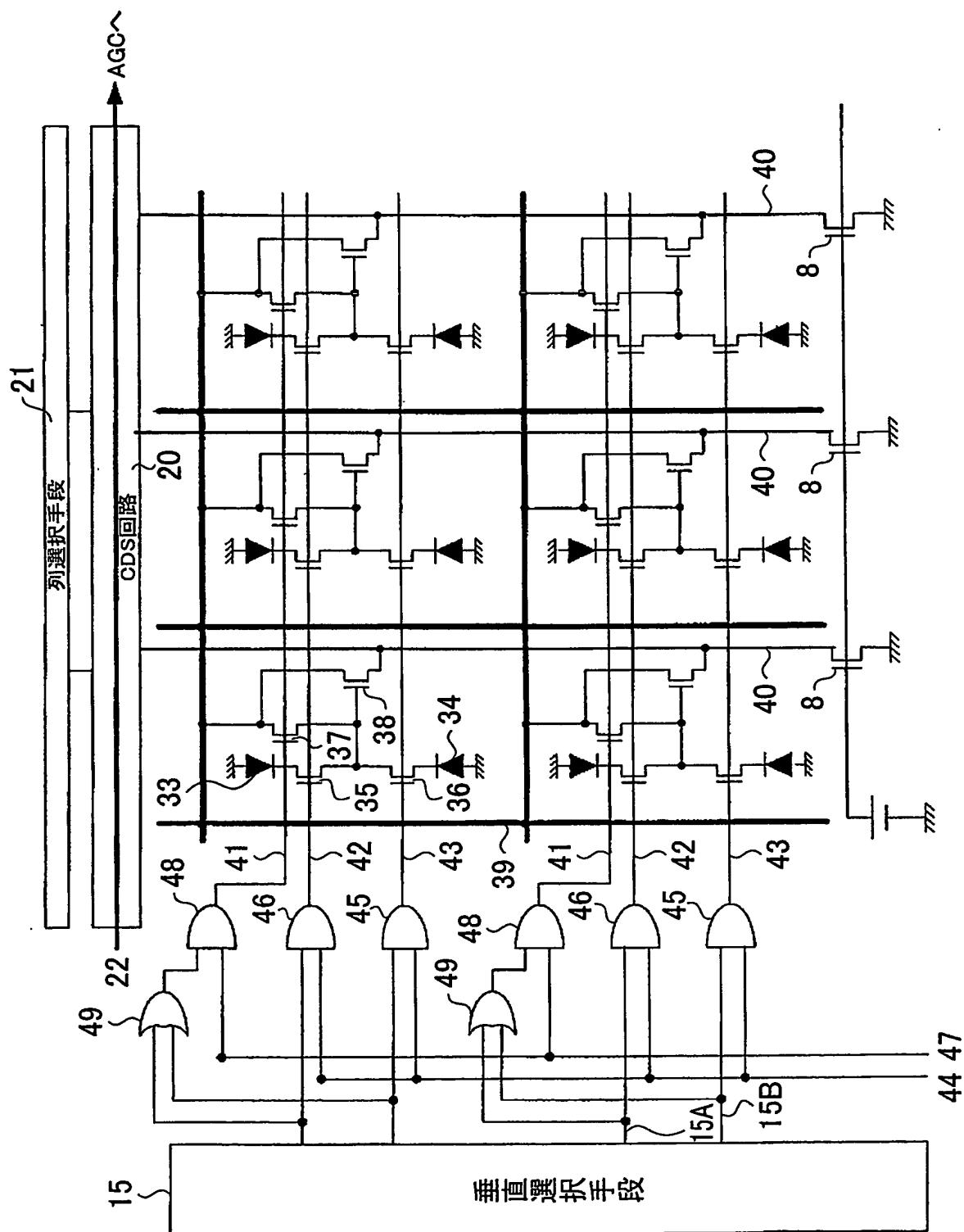


Fig. 2

Fig.3A

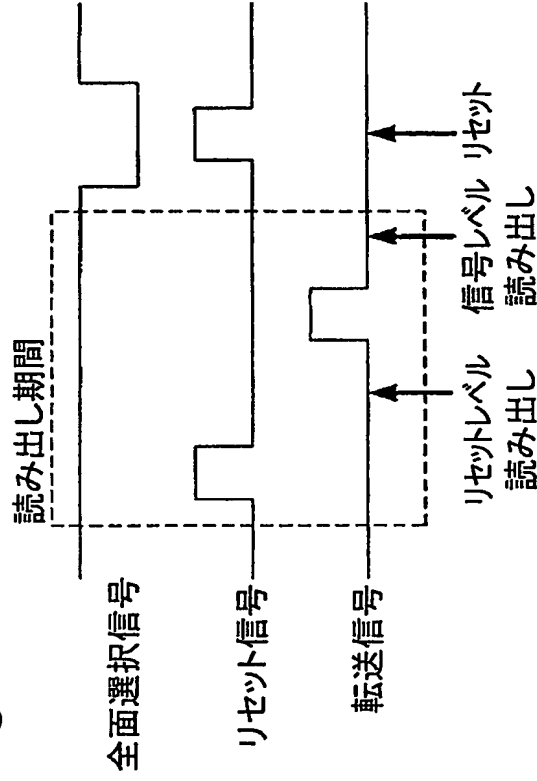


Fig.3C

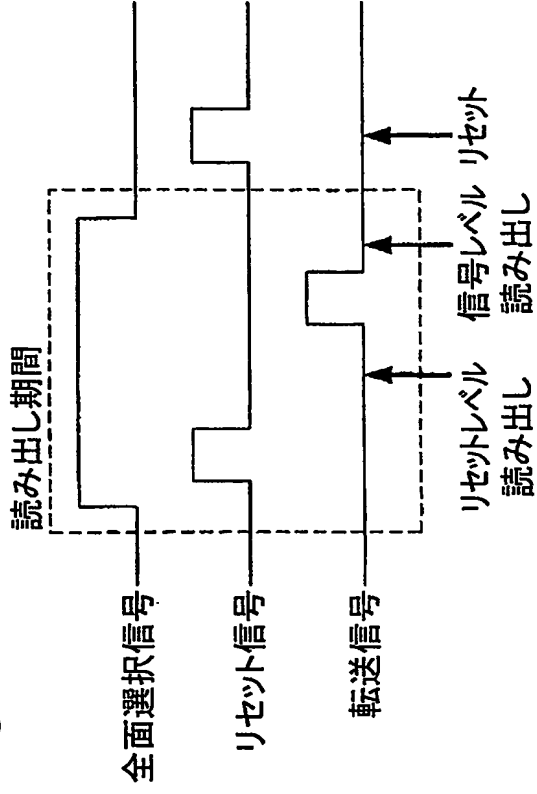


Fig.3B

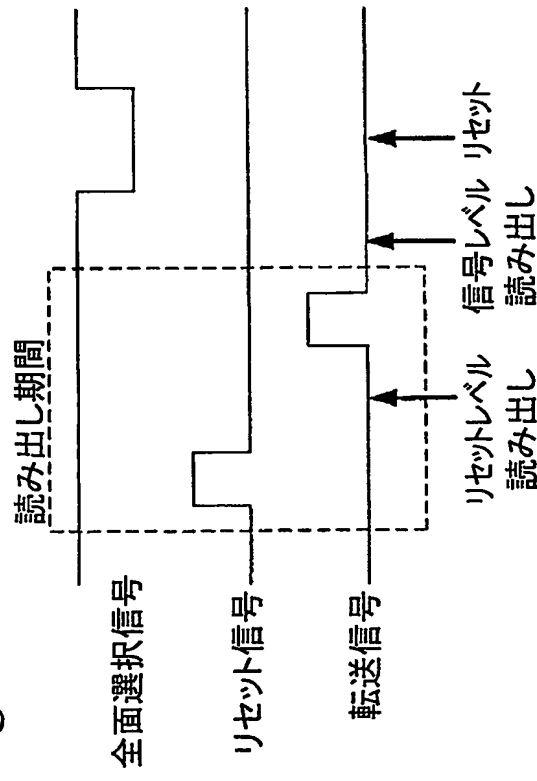
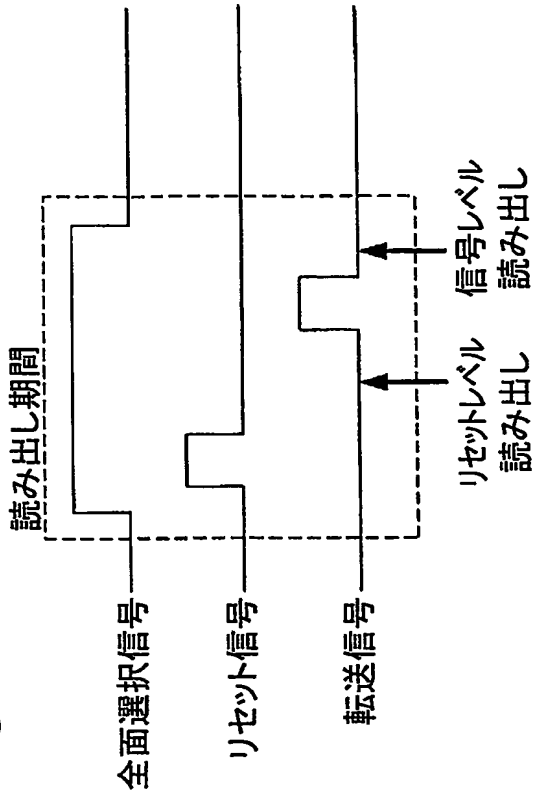


Fig.3D



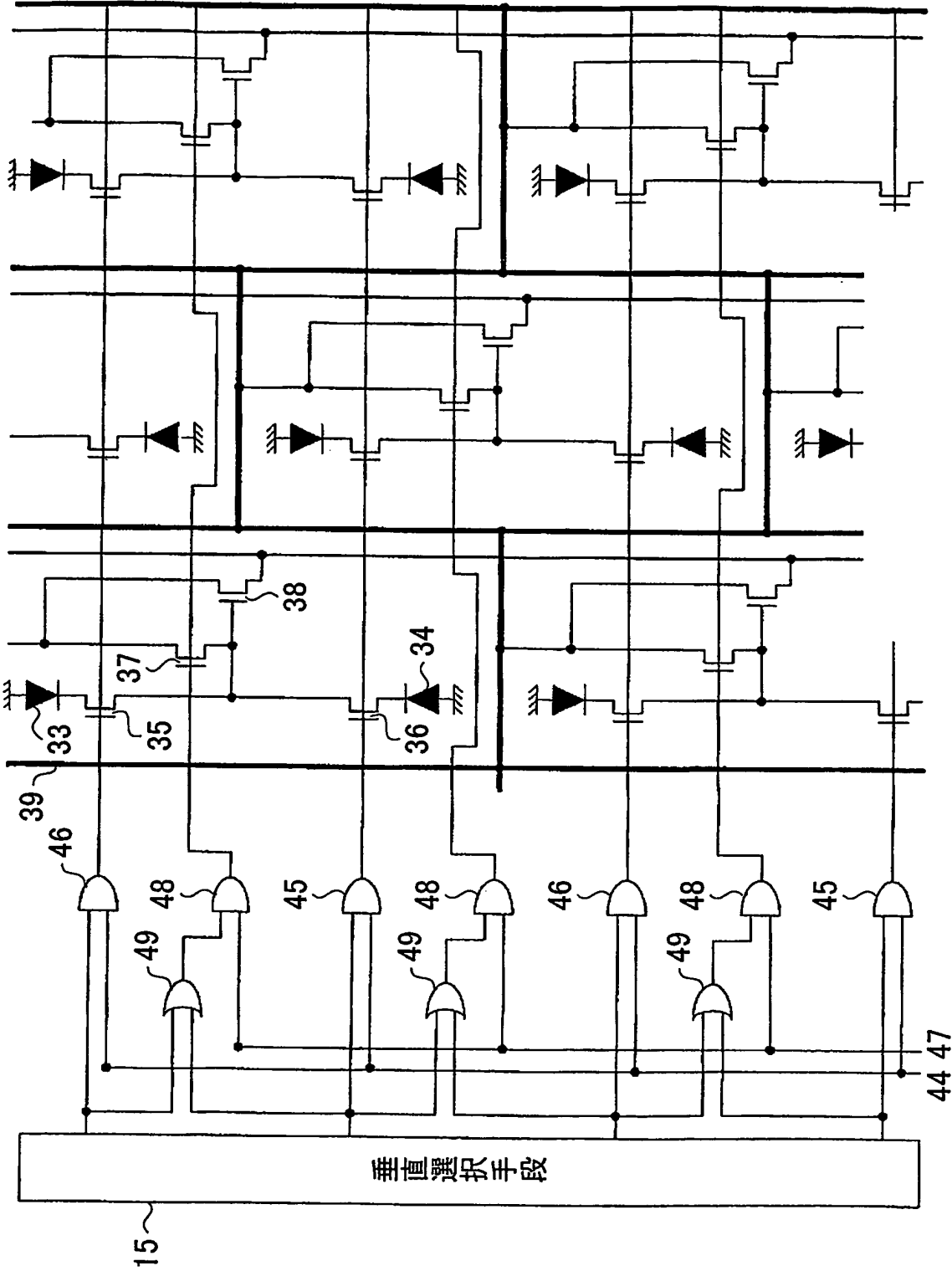


Fig.4

5/13

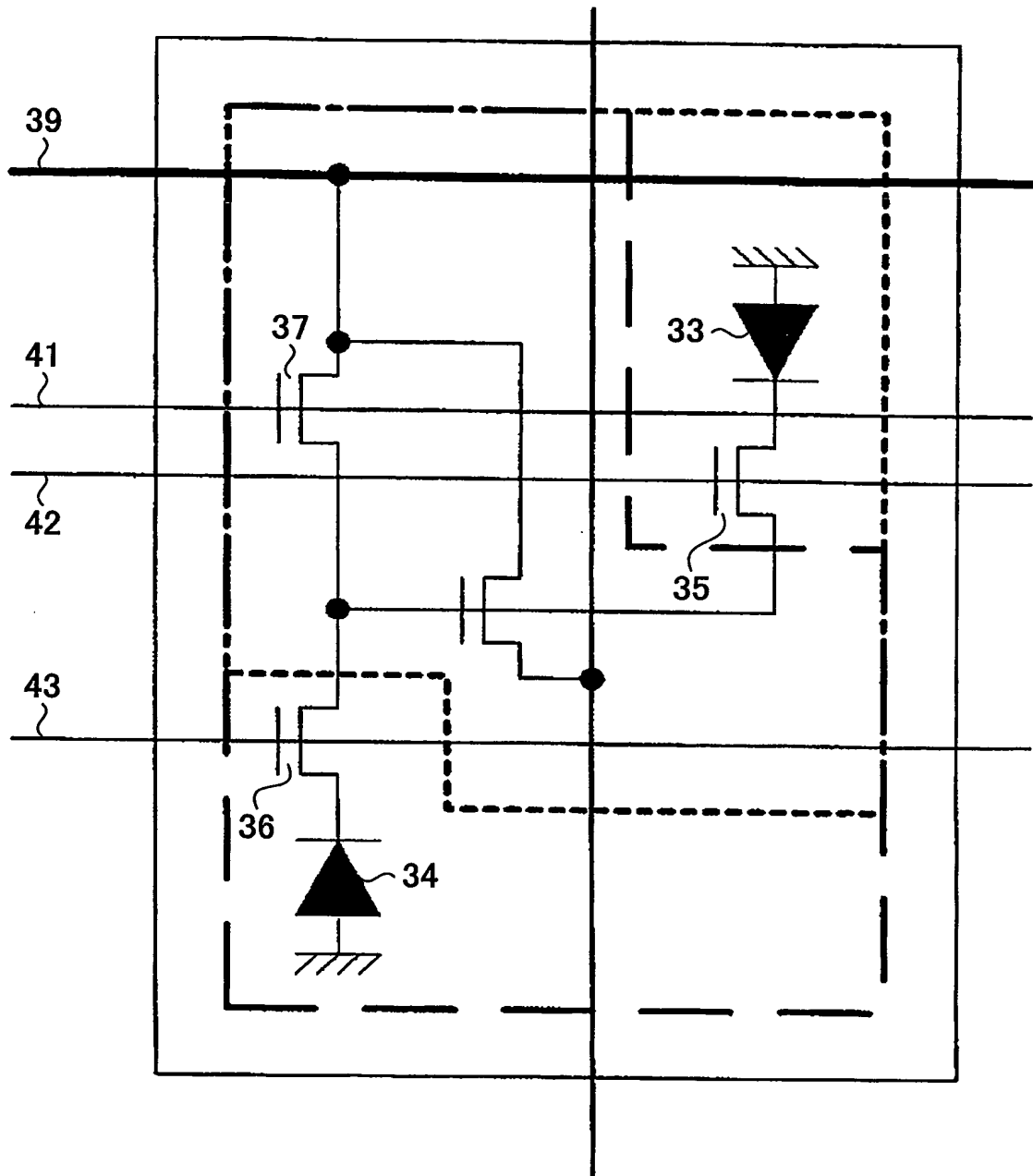


Fig.5

6/13

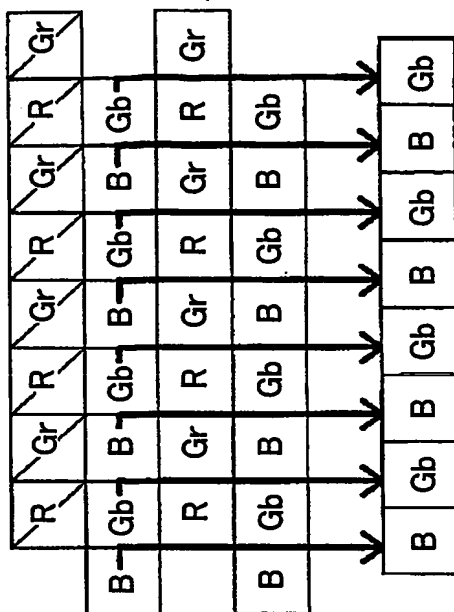
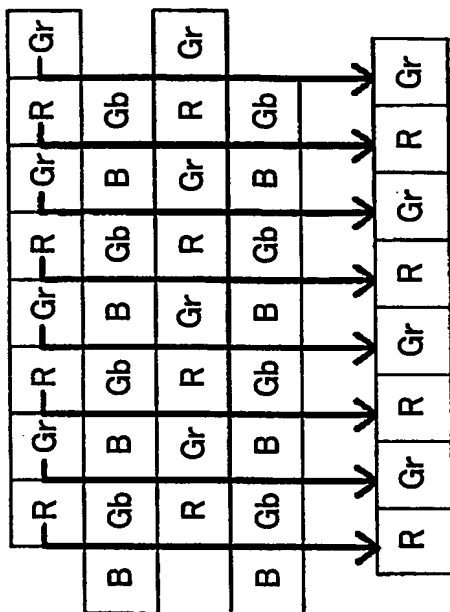


Fig.6B

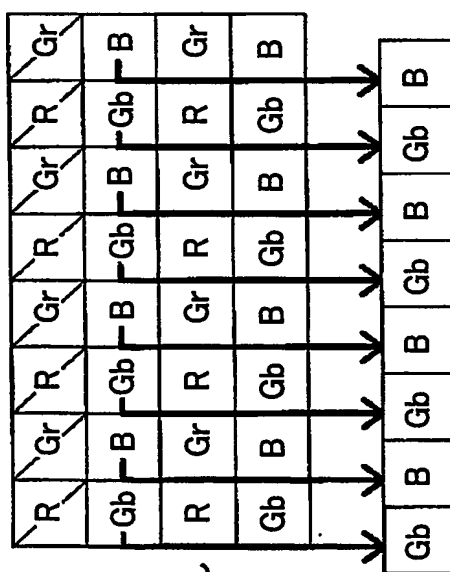
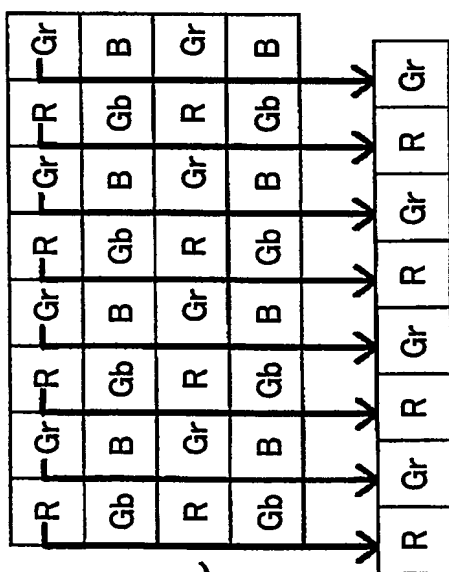


Fig.6A

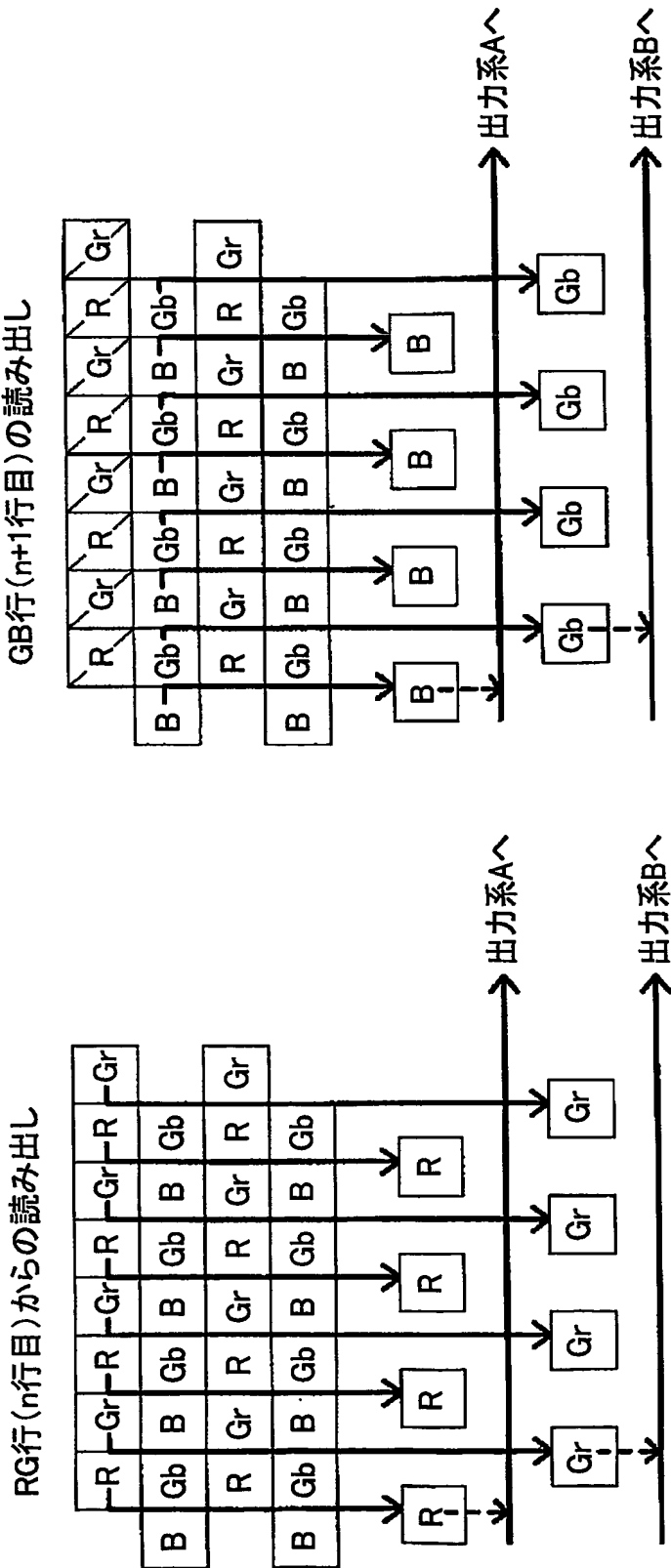


Fig.7

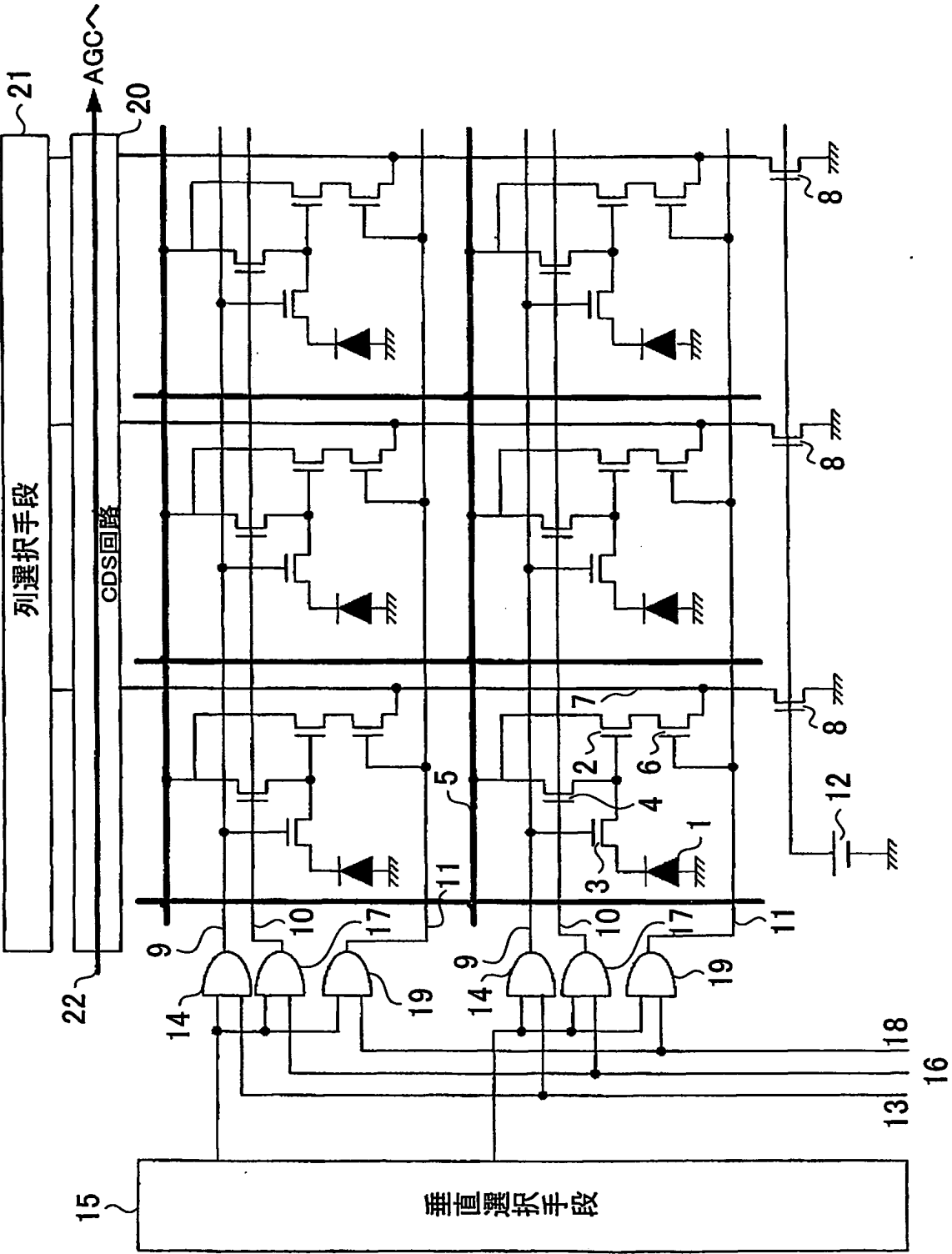


Fig.8

9/13

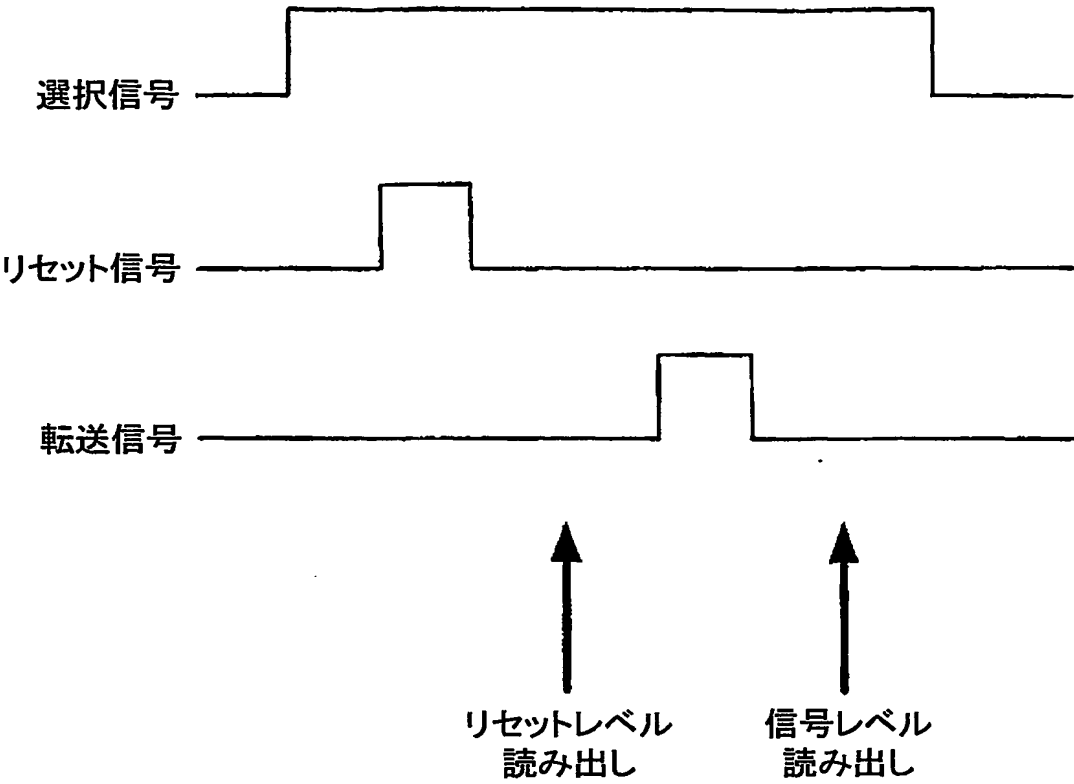


Fig.9

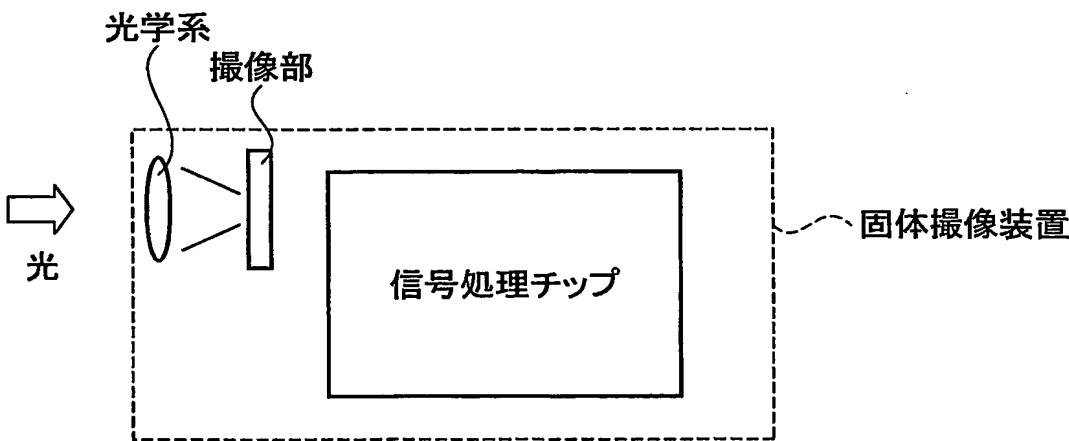


Fig.10

10/13

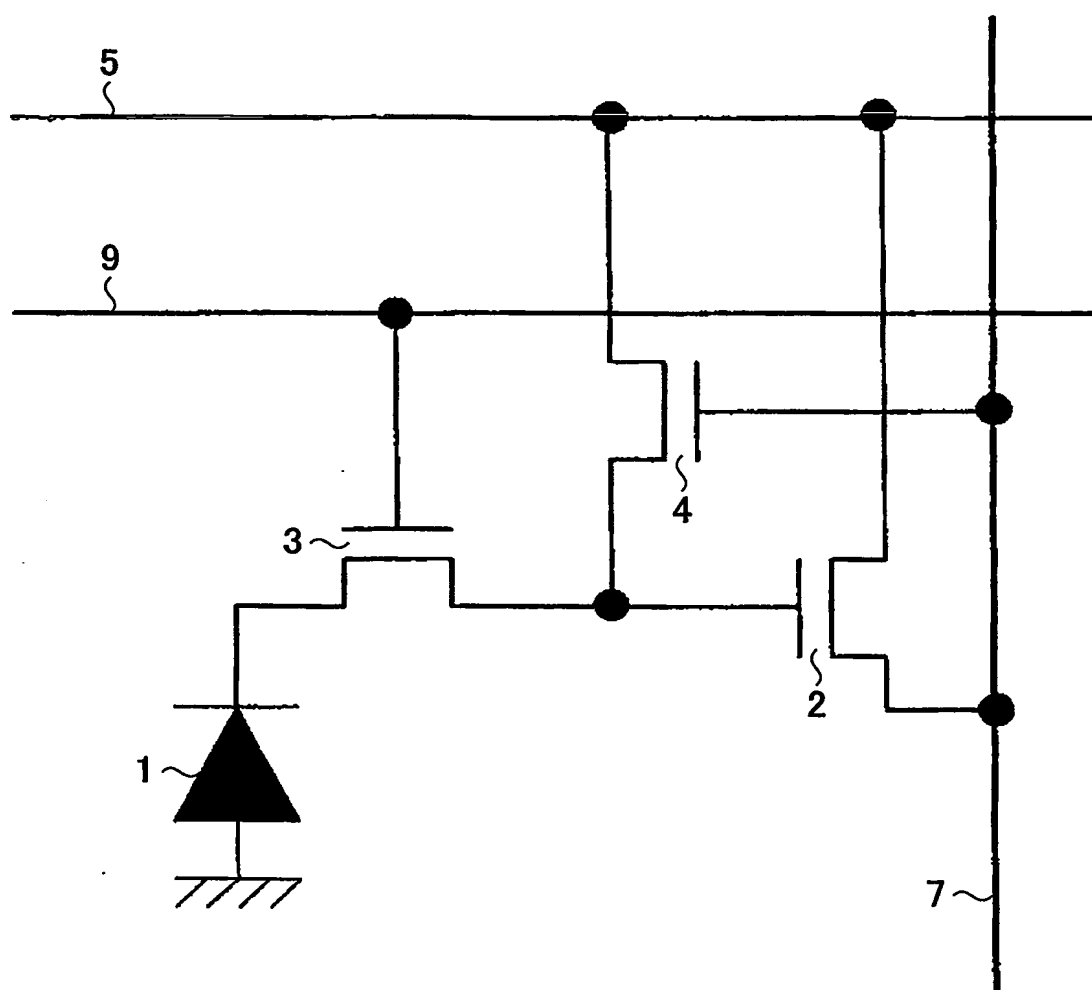


Fig.11

11/13

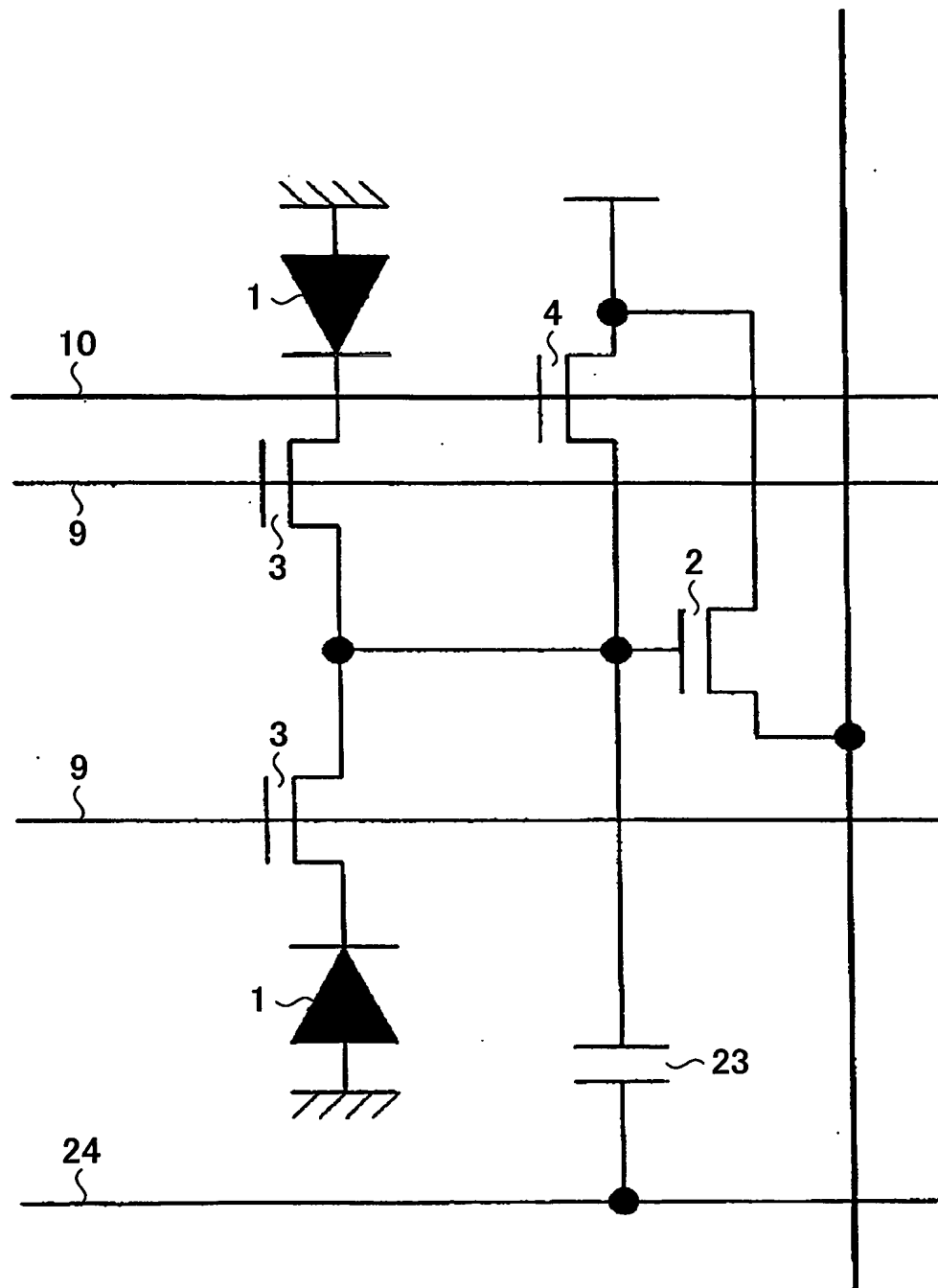


Fig.12

12/13

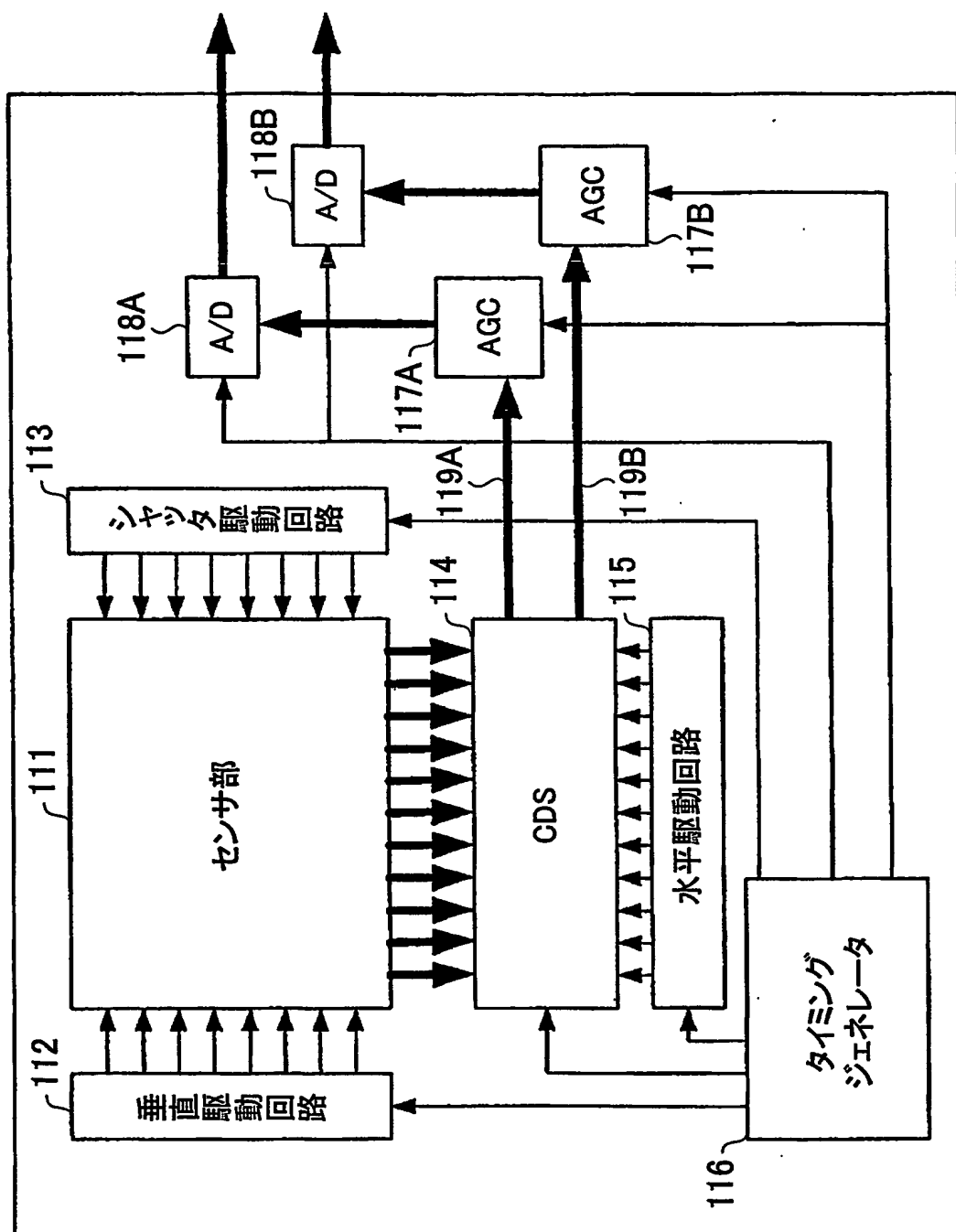


Fig.13

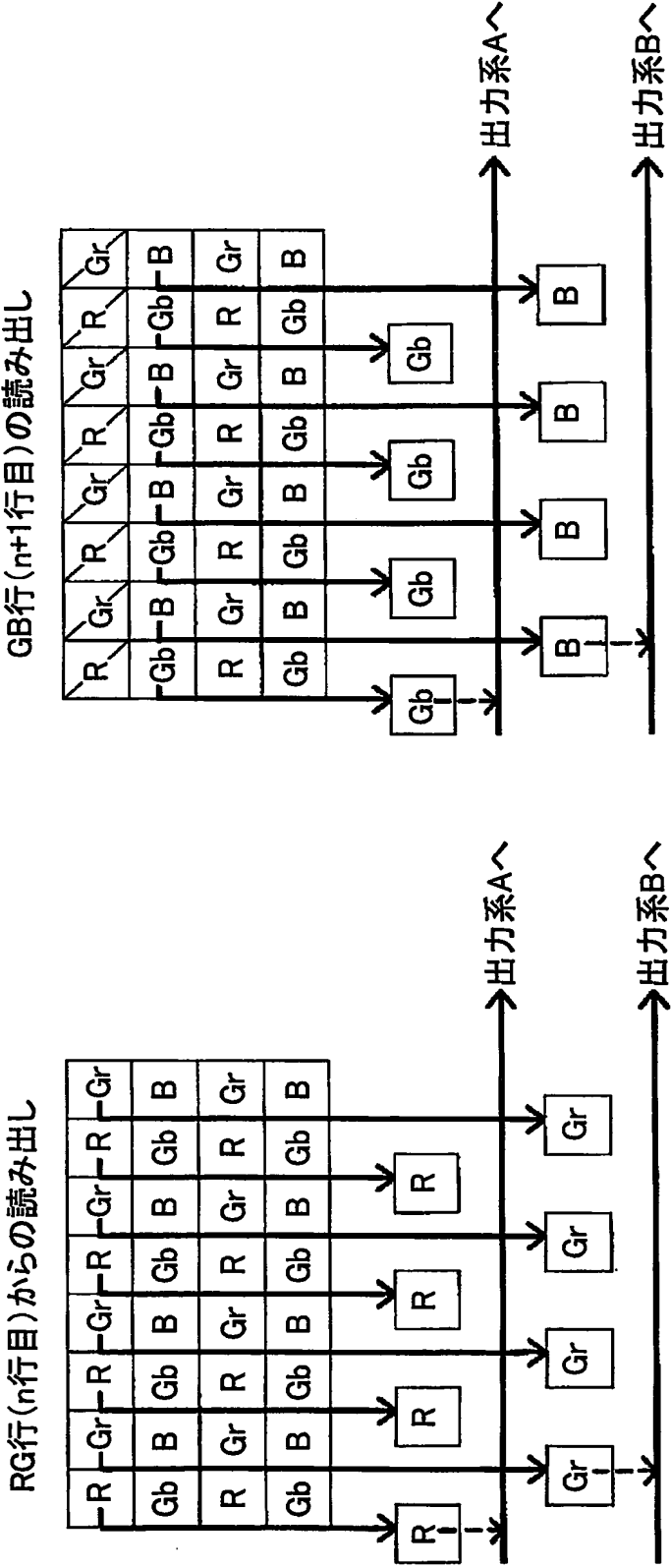


Fig.14

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14718A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04N5/335, H04N9/07

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N5/335, H04N9/07, H01L27/146Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JOIS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-224482 A (Industrial Technology Research Institute), 11 August, 2000 (11.08.00), Par. Nos. [0016] to [0026]; Figs. 4 to 6 (Family: none)	1-3, 5, 16, 20
Y	JP 9-46596 A (Canon Inc.), 14 February, 1997 (14.02.97), Par. Nos. [0038] to [0040]; Fig. 8 & EP 757476 A & US 5955753 A	1-3, 5, 6, 7, 9-18, 20
Y	JP 11-112018 A (Canon Inc.), 23 April, 1999 (23.04.99), Par. Nos. [0016] to [0050]; Figs. 1 to 6 & EP 908957 A & CN 1217618 A	1-3, 5, 6, 9-11, 14-18, 20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 February, 2004 (18.02.04)Date of mailing of the international search report
02 March, 2004 (02.03.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14718

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-12819 A (Nikon Corp.), 14 January, 2000 (14.01.00), Par. Nos. [0028] to [0049]; Fig. 4 (Family: none)	7, 9-15, 17, 18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N5/335, H04N9/07

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N5/335, H04N9/07, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-224482 A (財団法人工業技術研究院) 2000. 08. 11, 段落番号【0016】-【0026】, 第4-6図 (ファミリーなし)	1-3, 5, 16, 20
Y	JP 9-46596 A (キヤノン株式会社) 1997. 02. 14, 段落番号【0038】-【0040】, 第8図 & EP 757476 A & US 5955753 A	1-3, 5, 6, 7, 9-18, 20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18. 02. 2004

国際調査報告の発送日

02. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

徳田 賢二

5P

3137

電話番号 03-3581-1101 内線 3502

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-112018 A (キヤノン株式会社) 1999. 04. 23, 段落番号【0016】-【0050】, 第1-6図 & EP 908957 A & CN 1217618 A	1-3, 5, 6, 9-11, 14-18, 20
Y	JP 2000-12819 A (株式会社ニコン) 2000. 01. 14, 段落番号【0028】-【0049】, 第4図 (ファミリーなし)	7, 9-15, 17, 18

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.